

3相1200V/340A SiC MOSFETインテリジェント パワーモジュール CMT-PLA3SB12340A

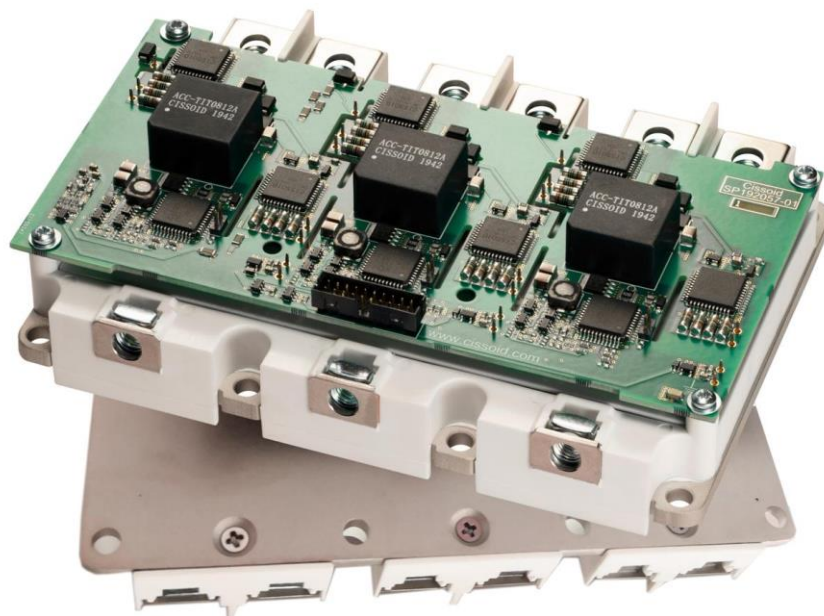
概要

CMT-PLA3SB12340Aは、CISSOID HADES2®チップセットをベースに、パワースイッチとゲートドライバを統合した、3相1200V/340AのSiC MOSFETインテリジェントパワーモジュールです。軽量でフラットなAlSiCベースプレートを採用したこのモジュールは、高電力密度コンバータに対応し、高い接合部温度（175℃まで）で動作するように設計されたSiCパワーモジュールです。

このソリューションは、SiC技術の利点を最大限に活かし、低スイッチング損失と高温動作により、高い電力密度を実現します。

ゲートドライバーとパワーモジュールを統合することで、スイッチング速度と損失、 dI/dt と dV/dt に対する堅牢性、パワーステージの保護

（Desat、UVLO、AMC、SSD）の観点から、完全に検証され最適化されたソリューションに直接アクセスすることができます。



※記載の製品は改良その他により予告なく変更また供給を停止することがあります。
最新版はメーカーサイトの資料をご確認ください。

主な特徴

- VDS 降伏電圧: 1200V
 - Low R_{DS(on)}¹: typ 3.25mΩ
 - 最大連続電流:
 - 340A typ. @ Tc=25°C
 - 255A typ. @ Tc=90°C
 - 熱抵抗: 0.183 °C/W typ.
 - 動作ジャンクション温度最大175°C (パワーデバイス時)
 - スwitchングエネルギー @ 600V/300A:
 - Eon: 8.42 mJ
 - Eoff: 7.05 mJ
 - スwitchング周波数: 25kHz Max
 - 絶縁耐圧 (ハースプレートパワーピン):
 - 3600VAC @50Hz (1分間)
 - モンモトトランジエントミューティ:
 - >50kV/μs
 - 寸法:
 - 104(W) x 154(L) X 34(H) (mm)
 - 重量: 550g
-
- ¹ パッケージ抵抗を除く
- シングルパワーサプライ(VCC):
 - +12V to +18V
 - 動作周囲温度125°C以下 (ゲートドライバ)
 - 絶縁耐圧 (一次 - 二次):
 - 3600VAC @50Hz (1分間)
 - 寄生容量:
 - typ 11pF /相
 - PWM 入力信号
 - 5V Schmitt trigger input
 - Active-High (Active-Low as an option)
 - Open-drain fault reporting:
 - per phase
 - per side as an option
 - Turn-On/Off delay: 180ns typ.
 - 低電圧誤動作防止 (UVLO)
 - On VCC
 - On internally generated secondary supplies
 - Desaturation protection
 - Soft Shutdown turn-off (SSD)
 - Negative gate drive (-3V)
 - Active Miller Clamping (AMC)
 - ゲートソース短絡保護

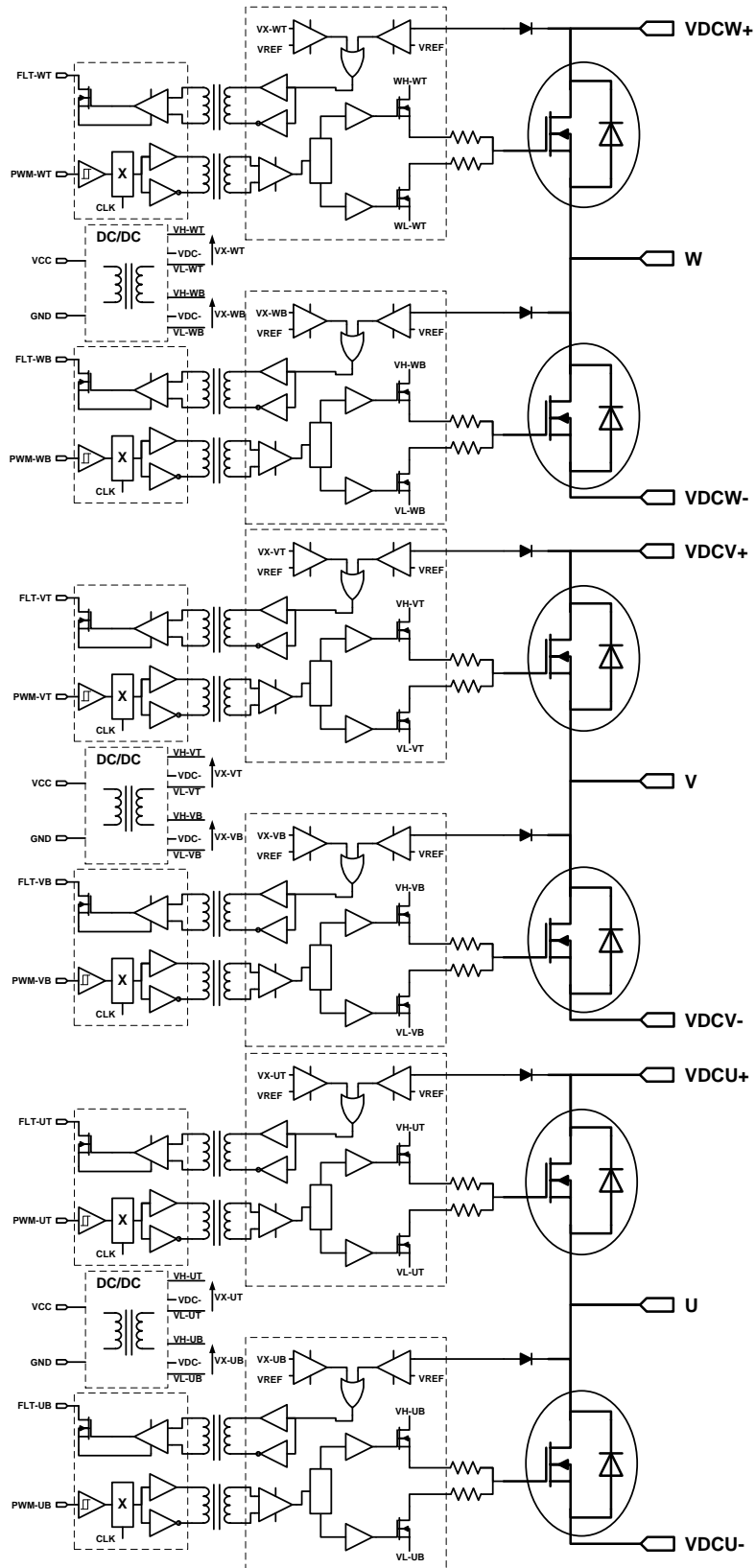
製品情報

製品名	参考	マーク
CMT-PLA3SB12340A	CMT-PLA3SB12340AA	CMT-PLA3SB12340AA

※記載の製品は改良その他により予告なく変更また供給を停止することがあります。
最新版はメーカーサイトの資料をご確認ください。

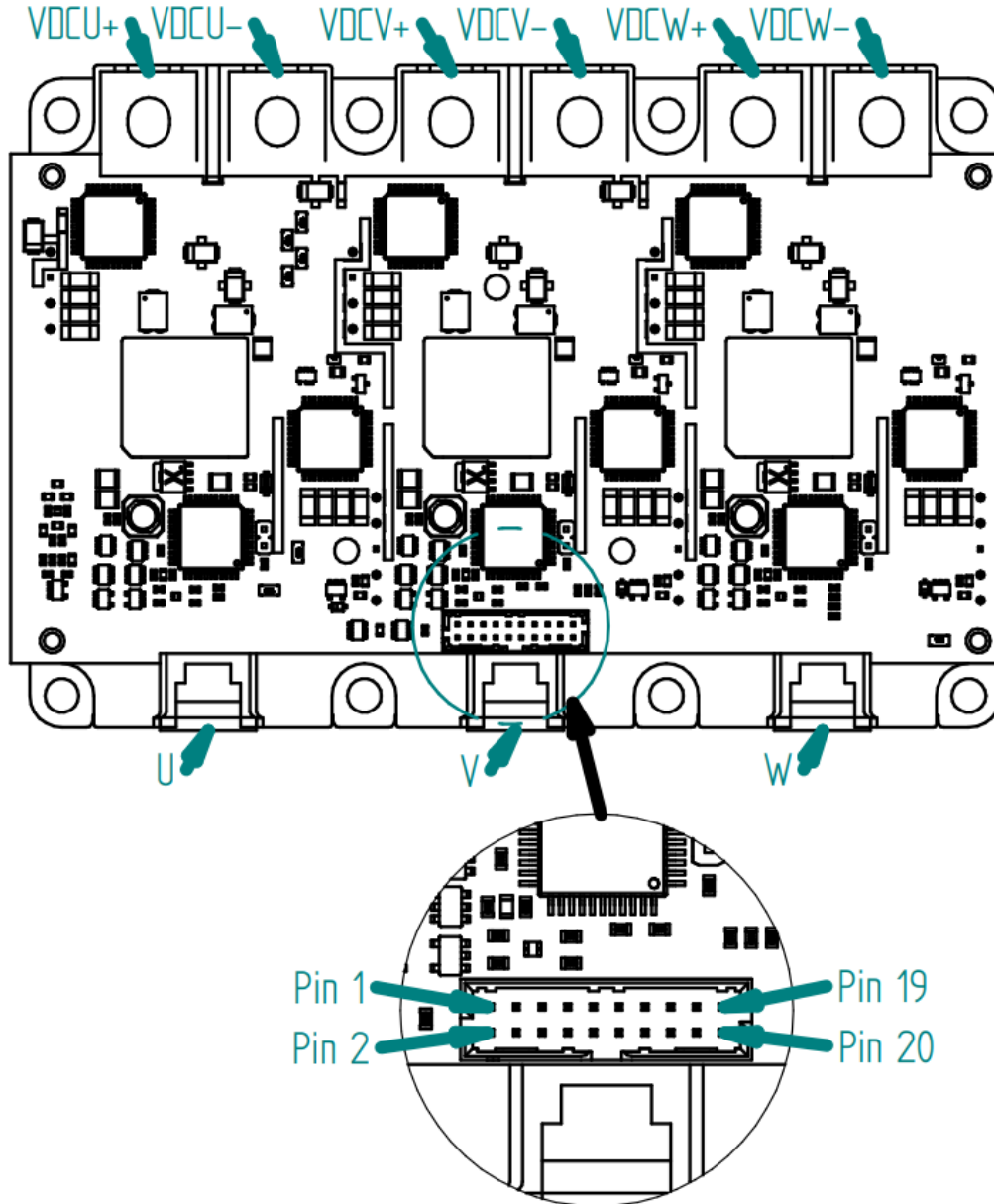
3相1200V/340A SiC MOSFETインテリジェントパワーモジュール
CMT-PLA3SB12340A

ブロックダイアグラム



※記載の製品は改良その他により予告なく変更また供給を停止することがあります。
最新版はメーカーサイトの資料をご確認ください。

Pinout²



※記載の製品は改良その他により予告なく変更または供給を停止することがあります。
最新版はメーカーサイトの資料をご確認ください。

² “VDCU+, VDCV+, VDCW+”, “VDCU-, VDCV-, VDCW-” are not connected to each other internally

3相1200V/340A SiC MOSFETインテリジェントパワーモジュール
CMT-PLA3SB12340A

Pinout (cnt'd)

Interface	Pin	Pin name	Description
POWER		VDCU+	U Phase positive power supply
		VDCU-	U Phase negative power supply
		VDCV+	V Phase positive power supply
		VDCV-	V Phase negative power supply
		VDCW+	W Phase positive power supply
		VDCW-	W Phase negative power supply
		U	Half-Bridge output U
		V	Half-Bridge output V
		W	Half-Bridge output W

CONTROL	Pin 1	PWM-UT	PWM input high-side phase U
	Pin 2	PWM-UB	PWM input low-side phase U
	Pin 3	TEMP-U	Phase U temperature measurement output
	Pin 4	RSTN	Reset signal (active low); while low, forces all PWM to inactive state
	Pin 5	PWM-VT	PWM input high-side phase V
	Pin 6	VDCM	DC BUS voltage monitoring output
	Pin 7	PWM-VB	PWM input low-side phase V
	Pin 8	GND	Gate driver negative power supply
	Pin 9	FLT-T-V	Phase V fault output or 3 phase high-side fault output
	Pin 10	GND	Gate driver negative power supply
	Pin 11	FLT-B-U	Phase U fault output or 3 phase low-side fault output
	Pin 12	VCC	Gate driver positive power supply
	Pin 13	TEMP-V	Phase V temperature measurement output
	Pin 14	VCC	Gate driver positive power supply
	Pin 15		
	Pin 16	GND	Gate driver negative power supply
	Pin 17	FLT-W	Phase W fault output
	Pin 18	TEMP-W	Phase W temperature measurement output
	Pin 19	PWM-WT	PWM input high-side phase W
	Pin 20	PWM-WB	PWM input low-side phase W

※記載の製品は改良その他により予告なく変更また供給を停止することがあります。
最新版はメーカーサイトの資料をご確認ください。

Max Absolute Ratings

“SiC Power MOSFET’s”

Parameter	Symbol	Condition	Value	Unit
Drain – Source Voltage	V_{DS}	$T_j=25^{\circ}C$	1200	V
		$T_j=175^{\circ}C$	1200	V
MOSFET Continuous Drain Current	I_D	$V_{GS}=15V, T_c=25^{\circ}C, T_j<175^{\circ}C$	340	A
		$V_{GS}=15V, T_c=90^{\circ}C, T_j<175^{\circ}C$	255	A
Pulsed Drain Current	I_{Dpulse}	pulse width t_p limited by T_{jmax}	720	A
Junction temperature	T_j		175°C	°C
Case and Storage temperatures	T_c, T_{STG}		-40°C to 150°C	°C
Stray Inductance	L_{Stray}	Between VDCX+ and VDCX-	11.2	nH
Package resistance @ 25°C ³		Between VDCX+ and phase output	0.7	mΩ
		Between VDCX- and phase output	0.7	mΩ
Clearance distance		From VDCX+ to VDCX-	5.6	mm
		From U,V,W to Baseplate	12	mm
		From VDCX+,VDCX- to Baseplate	12.5	mm
		From Gate driver HS,LS to Primary	6	mm
		From Gate driver Primary to U,V,W	7.63	mm
		From Gate driver HS,LS to VDCX+,VDCX-	7.93	mm
Creepage distance		From VDCX+ to VDCX-	5.6	mm
		From U,V,W to Baseplate	12	mm
		From VDCX+,VDCX- to Baseplate	12.5	mm
		From Gate driver HS,LS to Primary	6	mm
		From Gate driver Primary to U,V,W	>15	mm
		From Gate driver HS,LS to VDCX+,VDCX-	>15	mm
CTI-Comparative Tracking Index		Power module	min 175	
Mounting Torque	M_P	Terminals VDCX+, VDCX-, U,V,W	4	N-m
	M_{BP}	Baseplate	2	N-m
Weight	g		550	g

※記載の製品は改良その他により予告なく変更また供給を停止することがあります。
最新版はメーカーサイトの資料をご確認ください。

³ Package resistance temperature coefficient: 0.39%/°C

Max Absolute Ratings

“Gate Driver”

Parameter	Min.	Max.	Units
VCC-GND	-0.5	18	V
PWM-XT/PWM-XB/RSTN wrt GND	-0.5V	5.5	V
FLT-B-U/ FLT-T-V/FLT-W wrt GND	-0.5V	18	V
CTI-Comparative Tracking Index	175		
Junction Temperature		175	°C
Storage and Operating Temperature	-40	125	°C
ESD Rating (Human Body Model) between VCC/GND/PWM-XT/PWM-XB/RSTN/FLT-X pins ⁴	1.5		kV

Isolation

Parameter	Condition	Min.	Typ.	Max.	Units
VDCX+/VDCX-/U/V/W wrt to VCC/GND/PWM-XT/PWM-XB/FLT-X	AC @50Hz (for 1mn)		3600		V
Any of “VDCX+/VDCX-/U/V/W/VCC/GND/PWM-XT/PWM-XB/FLT-X wrt to baseplate	@ 1000VDC		>1		GΩ
Parasitic capacitance	Between high-side and primary (per phase)		11		pF

DC Bus Voltage Monitoring

Parameter	Symbol	Condition	Typ	Unit
DC BUS voltage monitoring output	VDCM		0.0033*Diff(VDCV+,VDCU-)	V

Temperature Monitoring

Parameter	Symbol	Condition	Typ	Unit
Temperature monitoring output	TEMP-U TEMP-V TEMP-W		$NTC_{R(Ohm)} * 5 / (NTC_{R(Ohm)} + 1500)$	V
NTC resistance	NTC _R	T _{NTC} =25°C	5000	Ω

Steinhart-Hart Coefficients for NTC_R versus Temperature computation:

$$1/(T_{NTC}-273.15) = A+B*\ln(R)+C*\ln^3(R)$$

	A	B	C
T _{NTC} < (273.15+25)K	9.931*10 ⁻⁴	2.658*10 ⁻⁴	1.563*10 ⁻⁷
T _{NTC} > (273.15+25)K	9.923*10 ⁻⁴	2.664*10 ⁻⁴	1.496*10 ⁻⁷

※記載の製品は改良その他により予告なく変更または供給を停止することがあります。
最新版はメーカーサイトの資料をご確認ください。

⁴ Because of functional isolation requirement between «VDCX+/VDCX-/U/V/W» and «VCC/GND/PWM-XT/PWM-XB/FLT-X» pins, no ESD performance can be guaranteed between those 2 pin groups.

3相1200V/340A SiC MOSFETインテリジェントパワーモジュール
CMT-PLA3SB12340A

Electrical Characteristics "Power module"

Unless otherwise stated: (VCC-GND)=15V, $T_c=25^{\circ}\text{C}$. **Bold underlined** values indicate values over the whole temperature range ($-40^{\circ}\text{C} < T_J < +175^{\circ}\text{C}$).

"SiC Power MOSFET's"

Parameter	Symbol	Condition	Min	Typ	Max	Unit	
Threshold voltage	V_{TH}	$T_J=25^{\circ}\text{C}$; $I_{DS} = 0.02\text{A}$; $V_{DS} = V_{GS}$	1.8	2.15	3.5	V	
		$T_J=175^{\circ}\text{C}$; $I_{DS} = 0.02\text{A}$; $V_{DS} = V_{GS}$		1.7		V	
Drain cut-off current	I_{DSS}	$V_{GS} = -3\text{V}$, $V_{DS} = 1200\text{V}$, $T_J = 25^{\circ}\text{C}$		1		μA	
		$V_{GS} = -3\text{V}$, $V_{DS} = 1200\text{V}$, $T_J = 175^{\circ}\text{C}$		50		μA	
Static drain-to-source resistance ⁵	R_{DSon}	$V_{GS} = 15\text{V}$, $I_D = 300\text{A}$, $T_J = 25^{\circ}\text{C}$		3.25	4	$\text{m}\Omega$	
		$V_{GS} = 15\text{V}$, $I_D = 300\text{A}$, $T_J = 175^{\circ}\text{C}$		5.15		$\text{m}\Omega$	
Breakdown drain-to-source voltage (DC characterization)	V_{BRDS}	$V_{GS} = -3\text{V}$; $I_{DS} = 500 \mu\text{A}$	1200			V	
Input capacitance	C_{ISS}	$V_{GS} = 0\text{V}_{DC}$, $V_{DS} = 600\text{V}_{DC}$		30		nF	
Output capacitance	C_{OSS}	$f = 100 \text{kHz}$		1.3		nF	
Feedback capacitance	C_{RSS}	$V_{AC} = 25\text{mV}$		76		pF	
Turn-on delay time	$T_{d(ON)}$	$V_{DS} = 600\text{V}$; $V_{GS} = -3/15\text{V}$; $I_{DS} = 300\text{A}$; $L = 50\mu\text{H}$		134		ns	
Rise time	T_r			158		ns	
Turn-off delay time	$T_{d(OFF)}$			212		ns	
Fall time	T_f			57		ns	
Turn-On Switching Energy	E_{on}				8.42		mJ
Turn-Off Switching Energy	E_{off}				7.05		mJ
Gate to Source Charge	Q_{GS}				292		nC
Gate to Drain Charge	Q_{GD}	$T_J = 25^{\circ}\text{C}$; $V_{DS} = 600\text{V}$; $I_{DS} = 300\text{A}$; $V_{GS} = -3/15\text{V}$		285		nC	
Total Gate Charge	Q_G			910		nC	
Short-circuit protection threshold	I_{SCth}	$T_J = 25^{\circ}\text{C}$		1145		A	
		$T_J = 175^{\circ}\text{C}$		750		A	
Maximum short-circuit duration	t_{SC}			2		μs	

"SiC Reverse Diode"

Parameter	Symbol	Condition	Min	Typ	Max	Unit
Diode Forward Voltage	V_F	$T_J = 25^{\circ}\text{C}$; $I_{SD} = 300\text{A}$; $V_{GS} = -3\text{V}$		5.18		V
		$T_J = 175^{\circ}\text{C}$; $I_{SD} = 300\text{A}$; $V_{GS} = -3\text{V}$		4.5		V
Continuous Diode Forward Current	$I_{SD,DC}$	$V_{GS} = -3\text{V}$, $T_c = 25^{\circ}\text{C}$, $T_J < 175^{\circ}\text{C}$		200		A
Diode Pulse Current	$I_{SD, Pulse}$	$V_{GS} = -3\text{V}$, pulse width t_p limited by T_{Jmax}		720		A
Reverse Recovery Time	t_{RR}	$V_{DS} = 600\text{V}$; $V_{GS} = -3\text{V}$; $I_{SD} = 300\text{A}$ $T_J = 25^{\circ}\text{C}$; $L = 50\mu\text{H}$; $di/dt = 8.9\text{A}$		28		ns
Reverse Recovery Charge	Q_{RR}			1.58		μC
Peak Reverse Recovery Current	I_{RR}			88		A
Reverse Recovery Energy	E_{RR}			0.26		mJ

Thermal Characteristics

Parameter	Symbol	Condition	Min	Typ	Max	Unit
Junction-to-Case Thermal resistance	Θ_{JC}	Each switch position		0.183		$^{\circ}\text{C}/\text{W}$
Operating Junction Temperature					175	$^{\circ}\text{C}$

※記載の製品は改良その他により予告なく変更また供給を停止することがあります。
最新版はメーカーサイトの資料をご確認ください。

⁵ R_{DSon} does not include package resistance; see section Max Absolute Ratings for information about package resistance

3相1200V/340A SiC MOSFETインテリジェントパワーモジュール
CMT-PLA3SB12340A

Electrical Characteristics “Gate Driver”

Unless otherwise stated: (VCC-GND)=15V, $T_C=25^{\circ}\text{C}$. **Bold underlined** values indicate values over the whole temperature range ($-40^{\circ}\text{C} < T_J < +175^{\circ}\text{C}$).

Parameter	Condition	Min	Typ	Max	Units
Gate driver power supply					
VCC		12	15	18	V
I _{VCC}	0 kHz PWM; VCC=15V		170		mA
	25 kHz PWM; VCC=15V; VDCX+ = 0V		380		mA
	25 kHz PWM; VCC=15V; VDCX+ = 600V;		490		mA
PWM-XL/PWM-XH/RSTN inputs					
V _{IH}	Applies to PWM-XB/PWM-XT/RSTN		3.5		V
V _{IL}			1.6		V
Hysteresis			1.9		V
Pull-down impedance (PWM-XB/PWM-XT)/ pull-up impedance (RSTN)			2		kΩ
FLT-X open drain outputs					
On resistance				25	Ω
Voltage on FLT-X				18	V
Internal pull-up resistance	Connected between FLT-X and VCC		10		kΩ
Minimum external pull-up resistance			300		Ω
Output Fall Time (90% to 10%)	On 50 pF external capacitance External pull-up: 300 Ohm to VCC		36		ns
Non-overlap delay (NOV_D)					
Non Overlap delay HIGH => LOW	In Local Mode (JP1="ON")		400		ns
Non Overlap delay LOW => HIGH	Measured at power switch gate		350		ns
PWM data path					
PWM frequency				25	kHz
Duty cycle		0		100	%
Anti-glitch filter window			500		ns
Propagation delay (PWM-XB/PWM-XT → U/V/W) (50% to 10%)	Direct Mode; excluding anti-glitch filter delay		180		ns
Propagation delay (PWM-XB/PWM-XT → U/V/W) (50% to 10%)	Local Mode; excluding anti-glitch filter delay		600		ns
Fault latching time					
Timer value (Primary or Secondary faults)			14		ms
Timer variation		-30		+25	%
Under-voltage Lockout on VCC (UVLO_P)					
UVLO_P High Threshold			9.75		V
UVLO_P Low Threshold			8.2		V
Delay from UVLO_P detection to FLT-X @ fault level			200		ns
Under-voltage Lockout on secondaries gate driver supplies(UVLO_S)					
UVLO_S High Threshold			16.8		V
UVLO_S Low Threshold			15.5		V
Delay from UVLO_S detection to FLT-X @ fault level			600		ns
Desaturation detection (DESAT_H, DESAT_L)					
Desaturation Threshold	wrt to power switch source		4.6		V
Desaturation Blanking time			1		μs
Delay from Desaturation detection to FLT-X in fault state			600		ns
Soft Shutdown gate fall time	V _{GS} from 15V to 0V		1		μs

※記載の製品は改良その他により予告なく変更また供給を停止することがあります。
最新版はメーカーサイトの資料をご確認ください。

Typical performances (per switch)

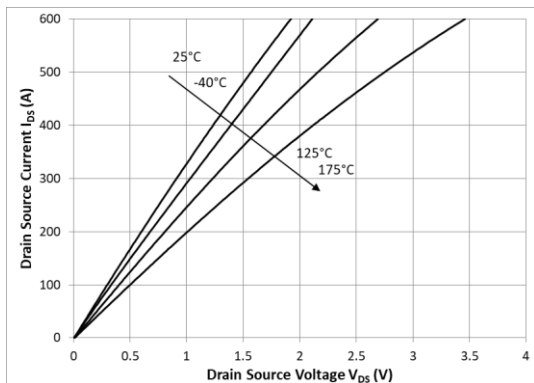


Figure 1: Drain current vs V_{DS}
($V_{GS}=15V$, $t_p < 200\mu s$)⁶

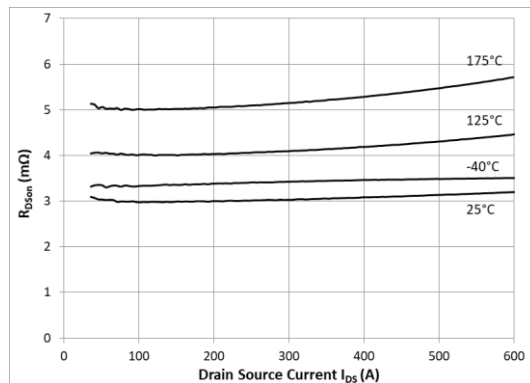


Figure 2: On-state drain source resistance vs. Drain current ($V_{GS}=15V$, $t_p < 200\mu s$)⁶

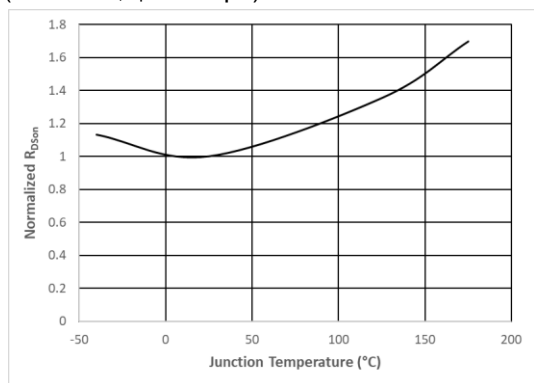


Figure 3: Normalized on-state drain source resistance ($I_{DS}=300A$, $V_{GS}=15V$, $t_p < 200\mu s$)⁶

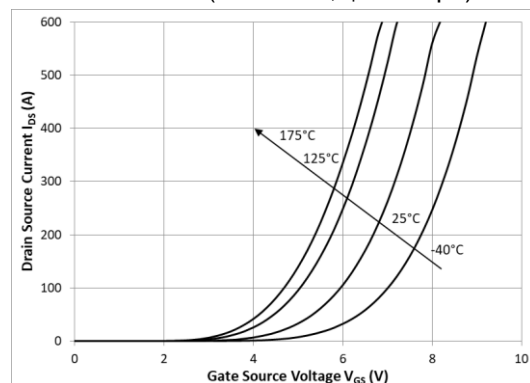


Figure 4: Drain current vs V_{GS} voltage
($V_{DS}=20V$, $t_p < 200\mu s$)

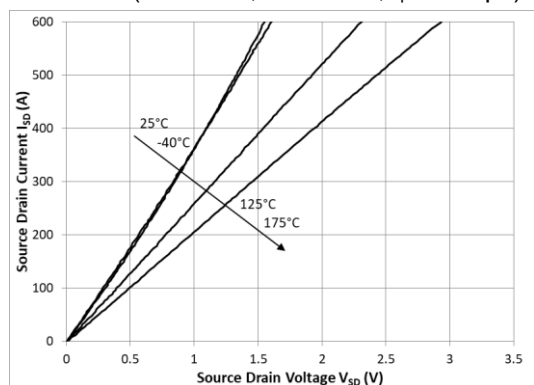


Figure 5: 3rd quadrant characteristics
($V_{GS}=15V$, $t_p < 200\mu s$)⁶

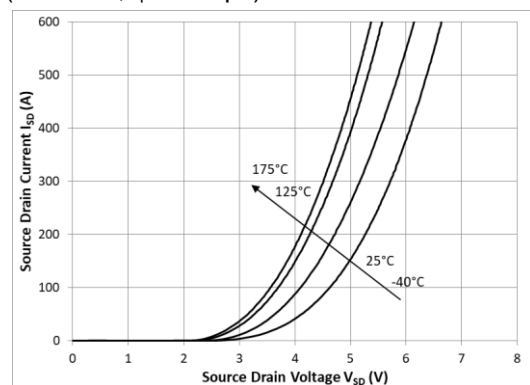


Figure 6: 3rd quadrant characteristics ($V_{GS}=-3V$, $t_p < 200\mu s$)⁶

⁶ Package resistance excluded

※記載の製品は改良その他により予告なく変更また供給を停止することがあります。最新版はメーカーサイトの資料をご確認ください。

3相1200V/340A SiC MOSFETインテリジェントパワーモジュール
CMT-PLA3SB12340A

Typical performances (per switch) (cnt'd)

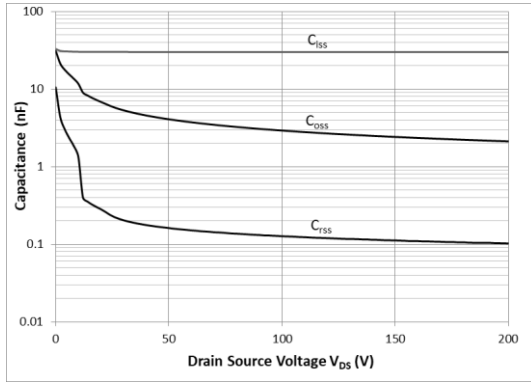


Figure 7: Typical capacitances vs V_{DS}
($T_j=25^\circ\text{C}$; $f = 100\text{ kHz}$, $V_{AC} = 25\text{mV}$)

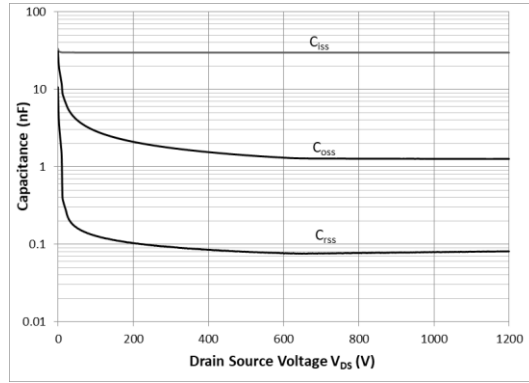


Figure 8: Typical capacitances vs V_{DS}
($T_j=25^\circ\text{C}$; $f = 100\text{ kHz}$, $V_{AC} = 25\text{mV}$)

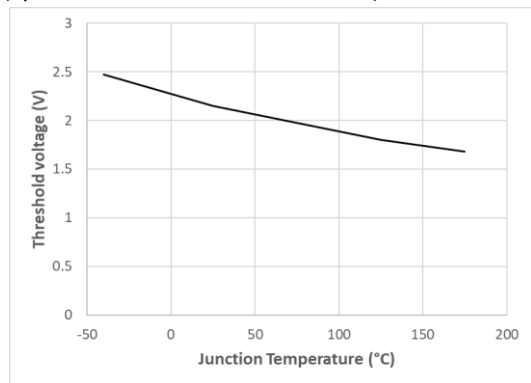


Figure 9: Threshold vs temp ($I_{DS}=20\text{mA}$; $V_{GS}=V_{DS}$)

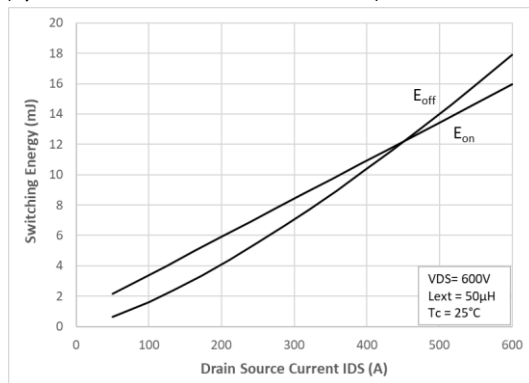


Figure 10: Switching Energy

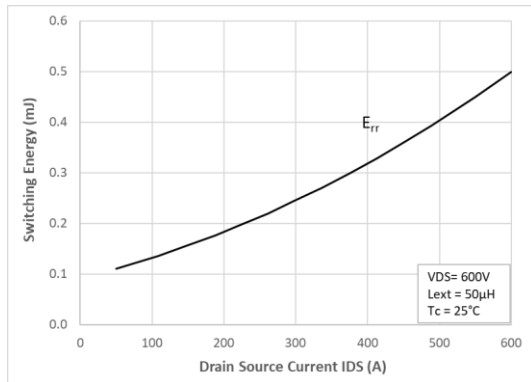


Figure 11: Reverse Recovery Energy

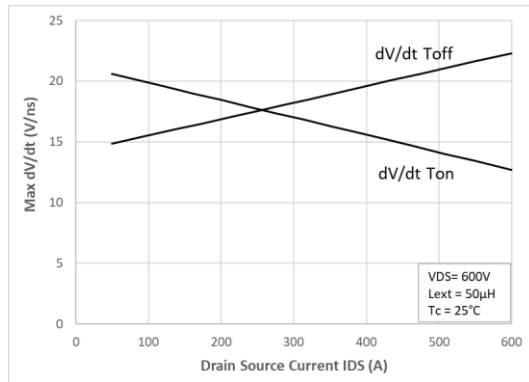


Figure 12: Max dV/dt vs Drain current

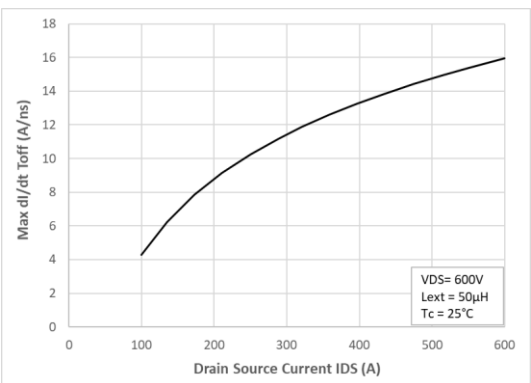


Figure 13: Max Turn-off dI/dt vs Drain current

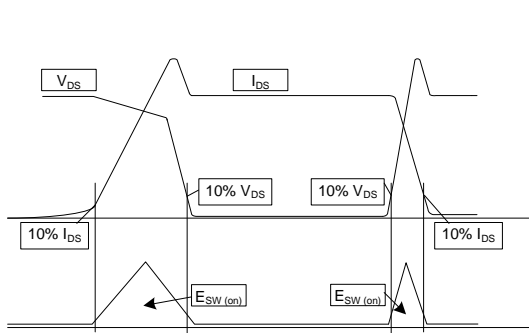


Figure 14: Switching energy computation

※記載の製品は改良その他により予告なく変更また供給を停止することがあります。
最新版はメーカーサイトの資料をご確認ください。

Typical performances (per switch) (cnt'd)

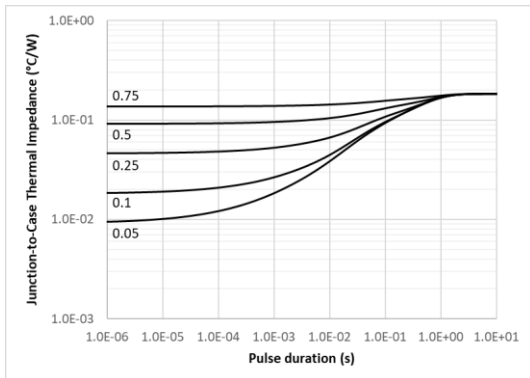


Figure 15: MOSFET Junction to Case Thermal Impedance

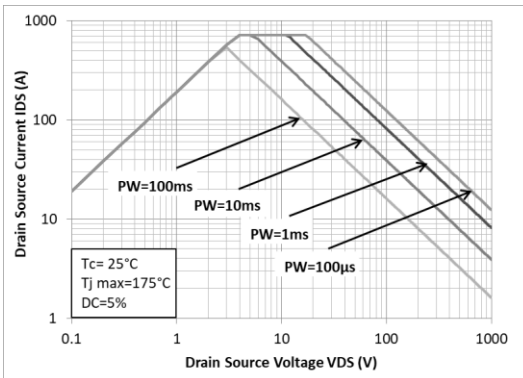


Figure 16: Forward Bias Safe Operating Area (FBSOA)

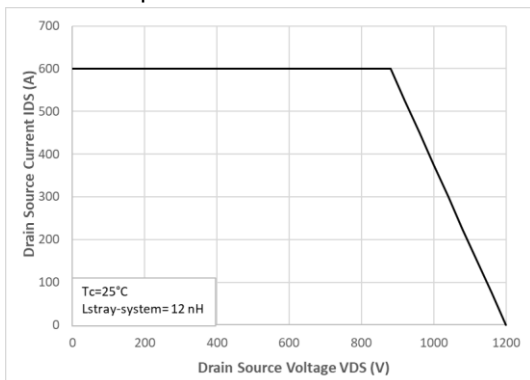


Figure 17: Reverse Bias Safe Operating Area (RBSOA)

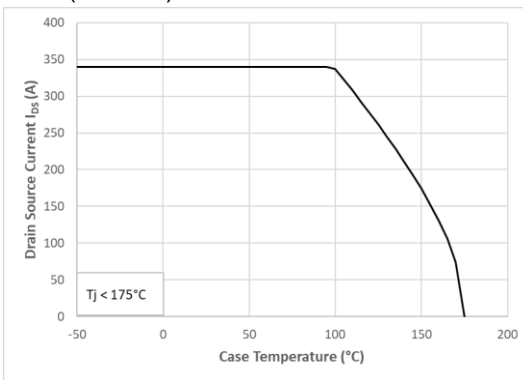


Figure 18: Continuous Drain Current Derating vs Case temperature

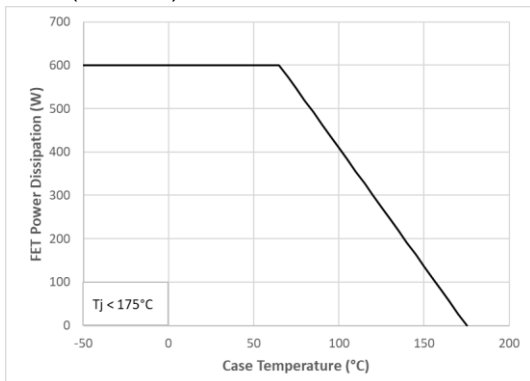


Figure 19: Maximum Power Dissipation Derating vs Case temperature

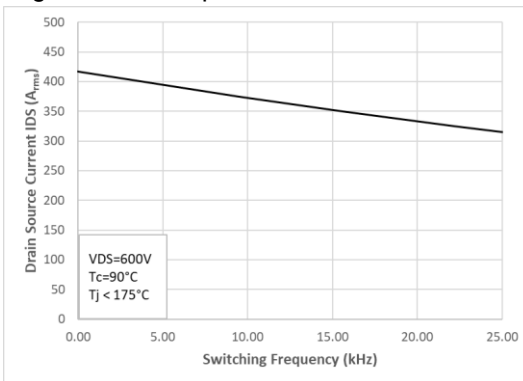


Figure 20: Typical Output Current Capability vs Switching Frequency (Inverter Application)

※記載の製品は改良その他により予告なく変更また供給を停止することがあります。最新版はメーカーサイトの資料をご確認ください。

ゲートドライバ回路の機能について

詳細

CMT-PLA3SB12340Aのゲートドライバーの主な特徴は以下の通りです。

- 高いdV/dtに対応した絶縁データ伝送（データおよび故障）をハイサイドおよびローサイドの両チャンネルで実現
- 調整可能なフォールトタイマーと自動再起動
- 主電源（UVLO）および電圧レギュレータ出力（Power-Good機能）の監視による安全なスタートアップシーケンス
- 外部および内部で生成された電源スイッチの永久的かつプログラム可能な電源電圧低下ロックアウト（UVLO）監視機能
- 異常な電流レベルが発生した場合に電源スイッチを保護する、ブランキングタイムと閾値を設定可能な脱飽和検出機能
- ソフトシャットダウントランジスタとコントロールにより、障害発生時にパワーデバイスを緩やかにシャットダウンし、パワーステージのdI/dtが高くなりすぎるのを防ぐ
- フライバック型DC-DCコンバーター（各相に1個）、サイクルごとに電流制限を行い、短絡保護を実現
- 高精度（typ 3%）のハイレベルゲート電圧生成機能
- シングルエンドのシュミットトリガーPWM入力
- オープンドレイン低抵抗（typ.25Ω）フォールト出力
- 2つの独立したPWMチャンネル、およびローカルに生成された重ならないPWM信号（各相）をサポート（ジャンパーによる設定）。
- 500ns(typ)のスパイクフィルタを内蔵し、ノイズ耐性を強化
- PWM信号入力時のオーバーラップ防止機能
- ゲート-ソース間の短絡保護機能
- 100%デューティサイクルのPWMをサポート
- 二次側と一次側の間の寄生容量が非常に小さい

低電圧誤動作防止機能(UVLO)

CMT-PLA3SB12340Aのゲートドライバーボードが常時監視しています。

- + VCC電源
- + ハイサイド2次電源(typ ++ 15V/3V)
- + ローサイド2次電源(typ ++ 15V/3V)

1次側の監視対象電源は「VCC-GND」ですが、「VCC-GND」がUVLOの閾値に近いときに発振しないようにヒステリシスを設けています。

各2次側のモニター電源はVDD_L-VSS_L/VDD_H-VSS_H " で、(VDD_x-VSS_x) がUVLOの閾値に近いときに発振しないよう、ヒステリシスを設けています。

フォールトの動作と管理については、「フォールト管理」の章を参照してください。

オンボードパワーサプライ

オンボードの絶縁電源（各相）は、レギュレーテッド・フライバックDC-DCコンバーターで、ハイサイドとローサイドの両チャンネルに、パワーFETの駆動に必要な正負の電源電圧を供給します。チャンネル間の高電圧絶縁、高いdV/dt持続性、極めて低い寄生容量を実現しています。また、ショートから基板を保護するために、プライマリ側の電流をサイクルごとに監視する機能も備えています。

すべての2次側正電源で高精度（typ 3%）を実現しています。

※記載の製品は改良その他により予告なく変更また供給を停止することがあります。最新版はメーカーサイトの資料をご確認ください。

コントローラへのインターフェース

PWM入力

PWM-XBおよびPWM-XTの入力インターフェイスは、5Vのシュミットトリガー入力レシーバーを使用しており、Active Highです。オプションでActive Lowもご用意しています。

CMT-PLA3SB12340Aゲートドライバボードは、PWMデータパスに2つの保護機能を実装しています。

- アンチグリッチ：PWM-XB/PMW-XT信号に発生する負または正のグリッチがプログラムされた値より小さい場合、ボードはこれを無視します。

$$t_{\text{MINPW}} (\text{ns}) = 1 * [C_{\text{GLIX}} (\text{pF})]$$

- Anti-overlap: この回路は、PWM-XBとPMWHが同時にアクティブになることを防ぎます。

FAULT出力

出力バッファはオープンドレイン・ドライバとして動作し、非常に低いロン抵抗 (typ.25) を持つため、低値のプルアップ抵抗を使用してノイズの影響を低減することができます。

初期テストを容易にするため、各故障出力には、オンボードの10kプルアップ抵抗 (内部5V電源に接続されている) が存在する。

デフォルトでは、各相に1つの故障出力があります (オプションで片側 (上/下) に1つの故障があります)。

分離型データ伝送

CMT-PLA3SB12340Aのゲートドライバボードには、デジタルアイソレータが内蔵されています。これらのデバイスは、絶縁、高dV/dtに対するイミュニティ、低寄生容量を提供します。二次側に電源が供給されない場合、一次側に障害が発生します。

脱飽和検出

デサチュレーション機能の目的は、「ON」状態のパワースイッチのドレインの電圧が所定の閾値よりも高いことを検出することです。これにより、システムの論理部は、電源アームの損傷の可能性を通知します (例えば、電源スイッチの過電流につながるアームレベルでの短絡)。パワーデバイスのドレイン電圧の検出は、カソードがパワースイッチのドレインに接続され、アノードが電流源 (typ 2mA) と検出回路に接続された高電圧・高電圧検出ダイオードによって行われます。脱飽和しきい値 (トランジスタVDSにかかる電圧) は、内蔵された抵抗によって設定され、以下の表にしたがって調整することができます。

Rdesat value	Desat threshold (V)	
	25°C	125°C
0KΩ	1.18	1.47
5KΩ	2.6	2.87
10KΩ	4.01	4.27
12KΩ (default)	4.6	4.83
15KΩ	5.42	5.66
20KΩ	6.84	7.06

システムレベルでは、パワーデバイスのゲートがLowからHighに遷移した後、定義された時間が経過するまでは、脱飽和判定を考慮する必要があります。この "ブランキング" 時間tDESAT_Dは、オンボードのコンデンサCDESATD (68pF搭載) によって実装および調整され、次のように計算されます。

$$t_{\text{DESATD}} (\text{ns}) = 14 * [C_{\text{DESATD}} (\text{pF}) + 7]$$

tDESAT_D時間後に、DESATコンパレータの出力が、トランジスタのVDSレベルがプログラムされたしきい値よりも高いことを示している場合、内部DESATフォルトが発生します。フォルトの動作と管理の詳細については、「フォルト管理」の章を参照してください。

デサチュレーション・フォルトが検出されると、パワーモジュールのゲートはソフト・シャットダウン回路により緩やかに放電され、パワーモジュールのターンオフ時の高いdI/dtを回避します。

※記載の製品は改良その他により予告なく変更または供給を停止することがあります。最新版はメーカーサイトの資料をご確認ください。

アクティブミラークランピング

正の dV/dt が大きい場合、パワーモジュールのゲートが負に駆動されているにもかかわらず、ゲートの寄生的なターンオンが起こり、パワーアームにシュートスルー電流が流れることがあります。

これを防ぐために、CMT-PLA3SB12340Aのゲートドライバ基板では、ゲートが負側に駆動されたときにゲート抵抗を低オームの経路（トランジスタで実装）でバイパスすることで、アクティブミラークランピング機能を実装している。

このトランジスタは、 dV/dt が負の場合に、パワーモジュールのゲートにかかる負のキックの振幅を制限するのにも役立ちます。

フォールト・マネージメント

フォールト管理は各相で独立して行われます。一次側では、これらの状況のいずれかによって障害が発生します。

- 主電源 (VCC) がUVLOの閾値を下回った場合
- 内蔵ロジックに必要な5V出力を生成するプライマリ・リニア・ボルテージ・レギュレーターが内部のPower Goodレベルを下回っている場合。

これらのフォールトは内部で結合され、固有のフォールト信号を生成します。このインターナル・フォールト信号は14msecの間ラッチされます。

フォールトがラッチされている間

- cLTJu端子は両方とも 0に固定されています。
- 両方の電源スイッチがオフになっている
- オンボードのDC-DCはオフ

事前に設定されたラッチ時間が経過すると、フェーズコントローラは通常の動作に戻ろうとします。

- フォールトがまだ存在する場合は、フォールトが消滅するまでフェーズはフォールト状態のままとなります。
- フォールトが消滅した場合（テンポラリーなUVLO状態など）、フェーズはフォールト状態を脱して通常動作に戻ります（DC-DCがオンになり、データパスがアクティブになります）。なお、PWMパスでは、入力されるPWM信号の次のポジティブエッジで通常動作に移行します。

一次障害の状態は、表1に従って二次障害で返された障害と組み合わせられます。

Prim fault	Low-side fault	High-side fault	FLT-X
No	No	No	No fault
No	Yes	No	Fault
No	No	Yes	Fault
No	Yes	Yes	Fault
Yes	Yes or No	Yes or No	Fault

表1: FAULT 集計表

それぞれの2次側では、これらの状況のいずれかによって障害が発生します。

- 電源電圧がUVLO閾値以下
- 2次電圧レギュレータ(5V)の出力電圧がPower-Goodしきい値を下回った場合
- DESATコンパレータにより脱飽和状態を検出

これらのフォールトは内部で結合され、固有のフォールト信号を生成します。このインターナル・フォールト信号は14msecの間ラッチされます。フォールトがラッチされている間、ゲートドライバはオフになります。フォールトがない状態とフォールトがある状態の間では、ゲート・ドライバ回路はグレース・シャットダウンされます。

あらかじめ設定されたラッチ時間が経過すると、ゲートドライバ回路は通常の動作に戻ります。

- フォールトがまだ存在している場合は、フォールトが消滅するまでゲート・ドライバをオフにしておきます。
- フォールトが消滅した場合（例：一時的なUVLOの状態）、次のPWM信号の正のエッジで通常の動作が再開されます。

RSTN (リセット) 動作

端子RSTNは、LOW状態のとき、すべてのPWM入力信号を強制的に 0 "にし、ダイレクトモードではすべてのSiC MOSFETゲートをオフにし、ローカルモードではハイサイドのSiC MOSFETをオフにし、ローサイドのSiC MOSFETをオンにします。

※記載の製品は改良その他により予告なく変更または供給を停止することがあります。最新版はメーカーサイトの資料をご確認ください。

3相1200V/340A SiC MOSFETインテリジェントパワーモジュール
CMT-PLA3SB12340A

保護機能

CMT-PLA3SB12340Aのゲートドライバーは、各チャンネルで保護されています。

- ゲート過電圧
- ゲート不足電圧
- ゲート-ソース間永久短絡

ノンオーバーラップジェネレーション

CMT-PLA3SB12340Aのゲートドライバボードは、2つの動作モードを備えています。

- ダイレクトモードです。PWM-XBとPWM-XTはCMT-PLA3SB12340Aゲートドライバボードの外部で独立して生成されます。この場合、外部で適切なノンオーバーラップを生成する必要があります。
- ローカルモードです。PWM-XBとPWM-XTは1つの入力信号 (PWM-XT) から生成され、CMT-PLA3SB12340Aのゲートドライバボードの各相で適切なノンオーバーラップのタイミングをループ的に管理します (図21参照)。

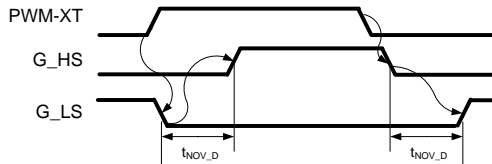


図21：ローカルモードの動作

この2つのモードの選択は、2つのピンヘッダのジャンパーJP1 (プライマリ側) にあり、各相に1つずつ)で行います。):

- JP1 ON: ローカルモード
- JP1 OFF: ダイレクトモード

ローカルモードでは、オンボードのキャパシタンス (Cnovd) により、以下の式でノンオーバーラップディレイを定義します。

$$t_{NOV_D} (ns) = 5.5 * C_{NOVD} (pF)$$

基板の消費電力

CMT-PLA3SB12340Aゲートドライバ基板の消費電流 (VCC=15V, VDCX+=0V) は以下のように計算されます。

$$I_{in} = 170mA + 8.4 * F_s$$

補足:

- I_{in}: 入力電流 (mA) (VCC=15Vに対するもの)
- F_s: スイッチング周波数 (kHz)

PWM-XB/PWM-XT信号のデューティサイクルは、消費電流にほとんど影響しません (PWM-XBとPWM-XTのデューティサイクルが補完関係にあると仮定)。

内部の2次電圧を仕様内に収めるために、平均I_{in}電流の最大値は1000mA (VCC=15Vの場合) とします。

温度計測

各相の温度は、パワーモジュールDBCに取り付けられたNTC抵抗を用いて測定されます。

温度に対するNTC抵抗の変化は、「図22：NTC抵抗-温度」に示されており、「最大絶対定格」の項に記載された式に従います。

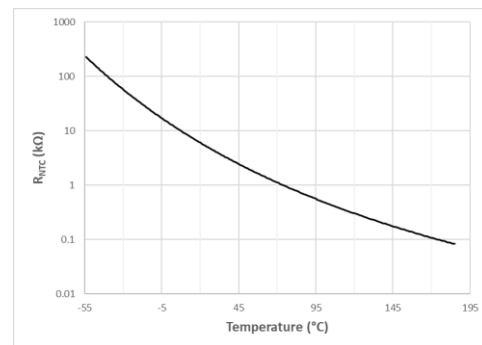


図22：NTCの抵抗値と温度

※記載の製品は改良その他により予告なく変更また供給を停止することがあります。最新版はメーカーサイトの資料をご確認ください。

NTC の抵抗値をアナログ電圧に変換して、コネクタの TEMP-U, TEMP-V, TEMP-W 端子に供給します。Figure 23: TEMP-X voltage vs temp は、TEMP-X 電圧と NTC 温度の関係を示しています。

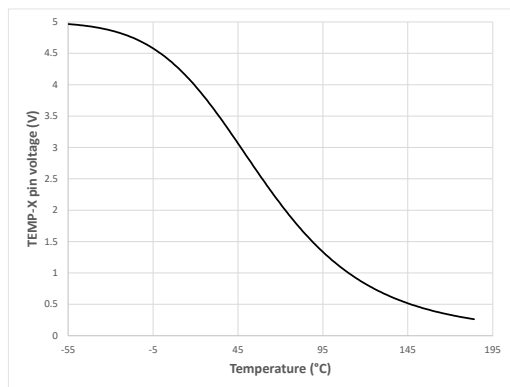


図23：TEMP-X電圧-温度

※記載の製品は改良その他により予告なく変更また供給を停止することがあります。
最新版はメーカーサイトの資料をご確認ください。

タイミングダイアグラム

図24は、CMT-PLA3SB12340Aゲートドライバボードのローサイドドライバの通常動作時と故障時の動的挙動を示したものである。

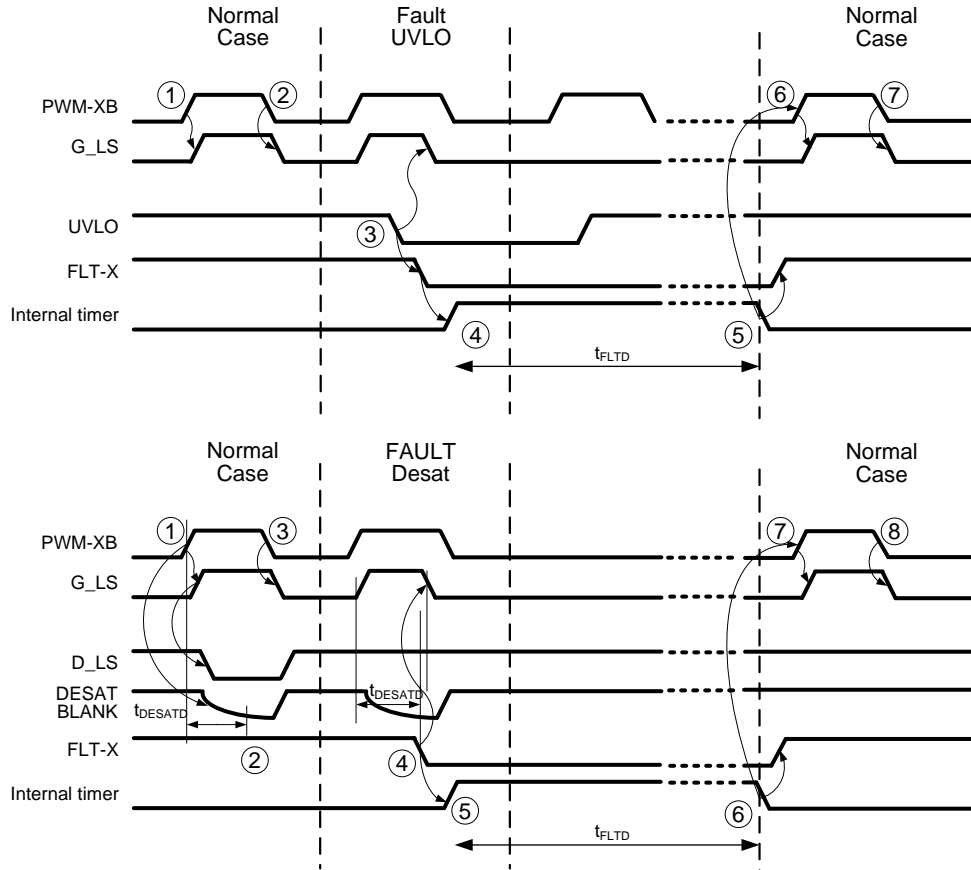


図24：タイミング図 CMT-PLA3SB12340A ローサイドゲートドライバの動作

In Normal operation

PWM-XBの立ち上がりエッジ (1) で、G_LSに立ち上がりエッジが発生します (CMT-PLA3SB12340Aゲートドライバボードを介した伝搬遅延後)。G_LSの立ち上がりエッジの後、ローサイドパワーモジュールがONとなり、中間点ノードは "0" の状態になります (電圧は $R_{on} \cdot$ パワーデバイスを通る電流に等しい)。D_LSノードもプルダウンされ、ブランキング時間 (t_{DESAT_D}) 後には、脱飽和のフォルトは検出されず、FAULTLはHighのままです。PWM-XBの立下りエッジ (2) で、G_LSに立下りエッジが生成されます (CMT-PLA3SB12340Aゲート・ドライバ・ボードによる伝搬遅延後)。G_LSの立下りエッジ後、ローサイド・パワー・デバイスはオフになります。

In DESAT fault situation

PWM-XBの立ち上がりエッジ (3) で、G_LSに立ち上がりエッジが発生する (CMT-PLA3SB12340Aゲートドライバボードを介した伝搬遅延後)。G_LSの立ち上がりエッジの後、ローサイドパワーモジュールがオンになりますが、脱飽和障害のため、D_LSノードは通常の "0" レベルになりません。DESATコンパレータにより、CMT-PLA3SB12340Aゲート・ドライバ・ボードはこの障害状況を検出し、G_LSを潔くオフにする。パワーデバイスがオフになります。FAULTL信号はプルダウンされます。フォルト・タイマーの終了後、フォルトが解除されます。

※記載の製品は改良その他により予告なく変更または供給を停止することがあります。最新版はメーカーサイトの資料をご確認ください。

UVLO故障の場合

UVLOの状態は、セカンダリ・デバイス内で監視されます（プライマリ・デバイス内でも監視されますが、ここではわかりやすくするため、セカンダリのUVLOの状態のみを説明します）。 UVLOコンパレータ(5)が低電圧状態を検出すると、G_LSは緩やかにシャットダウンされます。フォールトは、フォールト・タイマーの終了後にクリアされます。

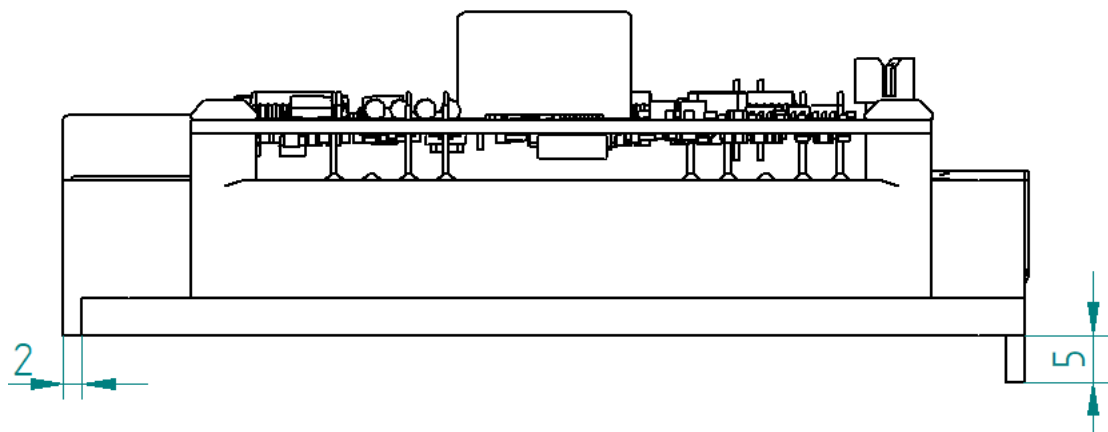
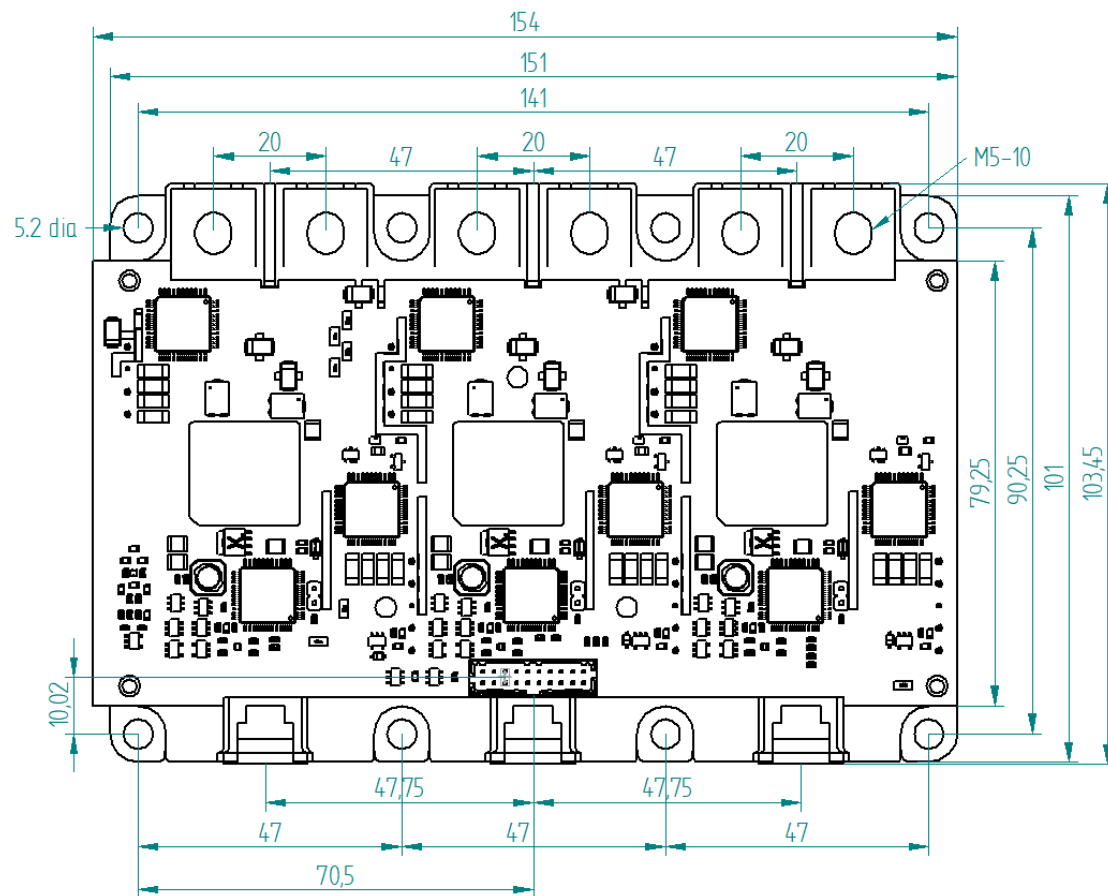
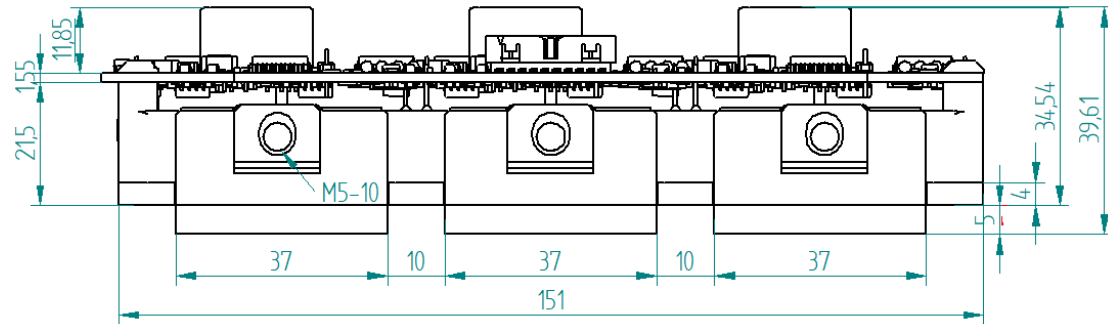
Glossary

Name	Description
D_HS	Drain of any high-side switch
S_HS	Source of any high-side switch
G_HS	Gate of any high-side switch
D_LS	Drain of any low-side switch
S_LS	Source of any low -side switch
G_LS	Gate of any low -side switch

※記載の製品は改良その他により予告なく変更または供給を停止することがあります。
最新版はメーカーサイトの資料をご確認ください。

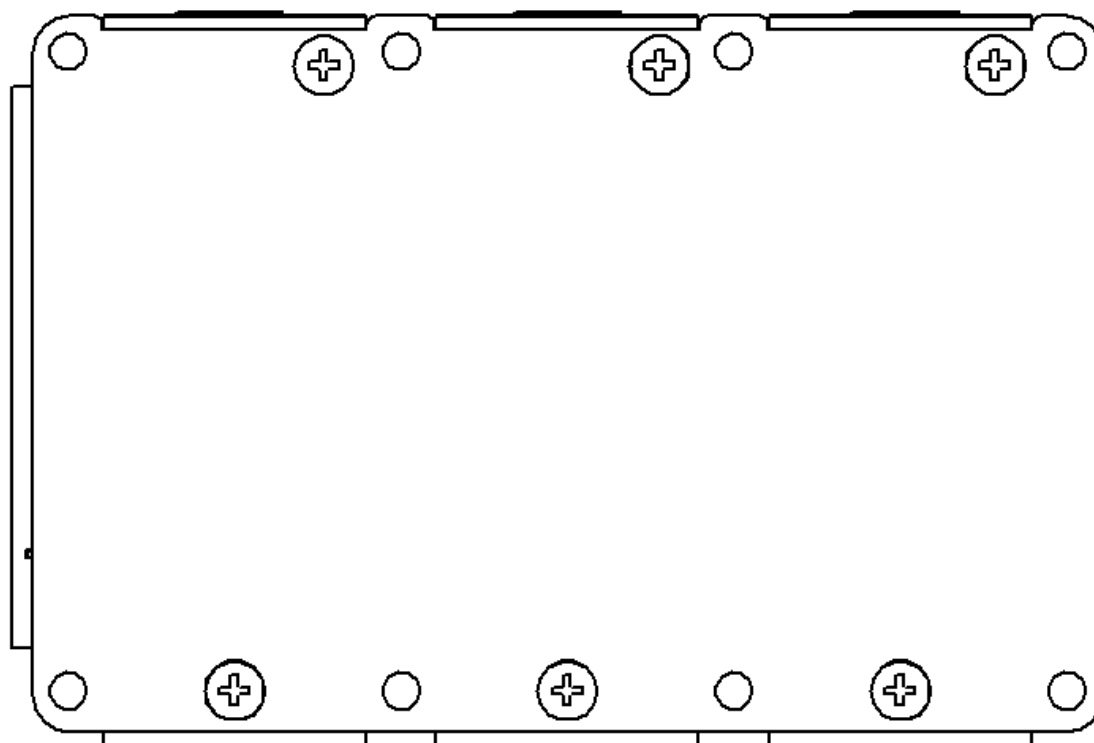
3相1200V/340A SiC MOSFETインテリジェントパワーモジュール
CMT-PLA3SB12340A

機械図面



※記載の製品は改良その他により予告なく変更また供給を停止することがあります。
最新版はメーカーサイトの資料をご確認ください。

3相1200V/340A SiC MOSFETインテリジェントパワーモジュール
CMT-PLA3SB12340A



外形寸法(mm)

ベースプレートの材質 AISiC

パワーピンの仕上げ Ni

ゲートドライバーコントロールピンの仕上げ Au

ゲートドライバ制御用コネクタ モレックス

87831-2020

Item	Recommended reference	Comments
ベースプレート固定用ネジ	M4x10 ISO 7380-2 A2 TX	
DCバスパワー用コネクタのボルト	M6x12 ISO 7380-2-A2-TX	Assumes min 0.7 mm DC power connector thickness
相電源コネクタのボルト	M6x12 ISO 7380-2-A2-TX	Assumes min 1.6 mm phase connector thickness
Gate driver female counter connector board-2-cable	Molex 51110 SERIES	
Gate driver female counter connector board-2-board	Molex 78787-2054(Tin) or 79107-7009(Gold).	

※記載の製品は改良その他により予告なく変更また供給を停止することがあります。
最新版はメーカーサイトの資料をご確認ください。

Contact & Ordering

CISSOID S.A.

Headquarters and contact EMEA:	CISSOID S.A. – Rue Francqui, 3 – 1435 Mont Saint Guibert - Belgium T : +32 10 48 92 10 – F : +32 10 88 98 75 Email : sales@cissoid.com
Sales Representatives:	Visit our website: http://www.cissoid.com

免責事項

CISSOID, その取締役, 従業員, および関連会社は, 商品性, 特定目的への適合性, および発見可能か否かを問わず, 潜在的またはその他の欠陥がないことの保証を含むがこれに限定されない, 明示的または暗示的ないかなる種類の保証も行わない。CISSOID, そのディレクター, 従業員, および関連会社は, たとえそのような損害の可能性を知らされていたとしても, 回路およびその文書の使用に起因するいかなる種類の直接的, 間接的, 特別, 付随的または結果的な損害に対しても責任を負いません。本回路は, 現状のまま提供されます。CISSOIDは, メンテナンス, サポート, アップデート, または修正を提供する義務を負いません。

※記載の製品は改良その他により予告なく変更また供給を停止することがあります。
最新版はメーカーサイトの資料をご確認ください。